

1/9/1

DIALOG(R) File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

06226238 **Image available**
SEMICONDUCTOR STORAGE

PUB. NO.: 11-167800 [JP 11167800 A]
PUBLISHED: June 22, 1999 (19990622)
INVENTOR(s): KANDA KAZUE
APPLICANT(s): TOSHIBA CORP
APPL. NO.: 09-333816 [JP 97333816]
FILED: December 04, 1997 (19971204)
INTL CLASS: G11C-029/00; G01R-031/28; G01R-031/3185; G11C-016/02

ABSTRACT

PROBLEM TO BE SOLVED: To evaluate a test for improving reliability at a developing time while removing an effect of a genuine defect bit by providing a read-out test mode selectively charging a bit line of a column to be read out based on the data latched with a sense latch circuit, reading out the cell data of a memory cell and detecting bit line potential.

SOLUTION: A sense amplifier consists of transistor M1-M7 and the latch circuit LT, and charges only the bit line connected to the cell to be read out among a bit line group according to the latch data of the latch circuit LT at the time of read-out at a read-out test time. In such a case, the latch data are written in beforehand by the data different according to the column to be read out/not to be read out. Thus, by making the column that the genuine defect bit exists the column not to be read out, the read-out test is executed in the state removing the genuine defect bit.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-167800

(43)公開日 平成11年(1999) 6月22日

(51)Int.Cl.[°]

G 1 1 C 29/00

識別記号

6 7 3

F I

G 1 1 C 29/00

6 7 3 M

6 7 3 K

6 7 3 V

G 0 1 R 31/28

31/3185

G 0 1 R 31/28

B

W

審査請求 未請求 請求項の数13 O L (全 21 頁) 最終頁に続く

(21)出願番号

特願平9-333816

(22)出願日

平成9年(1997)12月4日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 神田 和重

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

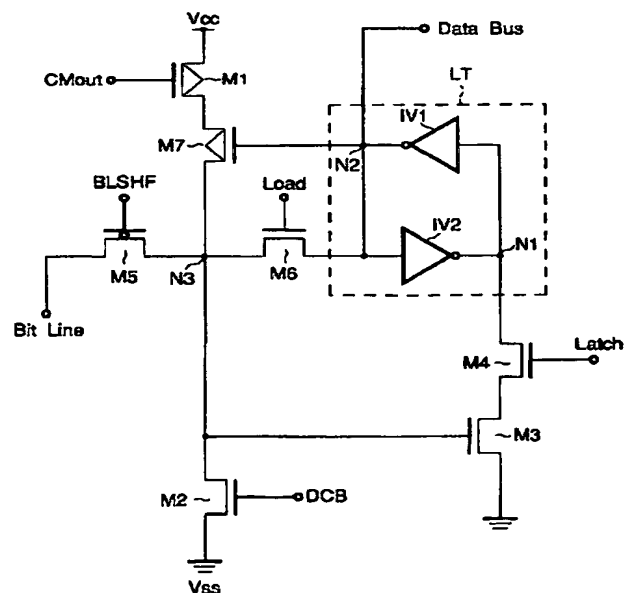
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】メモリ開発時における信頼性向上のためのテストで不良ビットの影響を除外して正確に評価し、リダンダンシー前のテストも可能とし、選択された1個のセルの貫通電流によるソース線電位の浮きに起因する閾値変動量の測定を他のカラムのセル電流によるソース線電位の浮きが生じない状態で測定し、隣接ビット線間の電流リーク、各セルの閾値電圧およびその分布の測定を容易化する。

【解決手段】メモリの読み出しテストに際して、ビット線電位センスノードを所定期間リセットした後、予めデータバスから与えられるデータをラッチ型センスアンプでラッチしたデータに基づいて読み出したいカラムのビット線のみを充電し、電流垂れ流し方式あるいはフリーランニング方式によりビット線電位を検知する読み出しテストモードを有する。



【特許請求の範囲】

【請求項1】 互いに交差する複数のワード線および複数のビット線と、

前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、

前記各ビット線に対応して設けられ、選択されたメモリセルから各ビット線のビット線電位センスノードに読み出されたセルデータを検知し、かつ、外部から転送されたデータをラッチするためのセンス・ラッチ回路とを具備し、読み出しテストに際して、前記センス・ラッチ回路でラッチしたデータに基づいて読み出したいカラムのビット線を選択的に充電してメモリセルのセルデータを読み出し、ビット線電位を検知する読み出しテストモードを有することを特徴とする半導体記憶装置。

【請求項2】 互いに交差する複数のワード線および複数のビット線と、

前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、

前記各ビット線に対応して設けられ、選択されたメモリセルから各ビット線のビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプとを具備し、

前記センスアンプは、

前記対応するビット線のビット線電位センスノードと電源との間に接続された電流源用トランジスタと、

前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするためのラッチ回路と、

前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、

前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるセンスタイミング決定用トランジスタと、前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタと、

前記ラッチ回路のラッチデータによって対応するビット線の充電経路をスイッチングするために挿入されたスイッチ回路とを具備し、

読み出しテストに際して、前記センスアンプデータ転送用トランジスタをオフ状態にしたまま、予めラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に充電するように前記電流源用トランジスタおよびスイッチ回路を制御し、ビット線に充電電流を流した状態でビット線の充電電流とセル電流に

よる放電電流の大小関係で決まるビット線電位を検知する読み出し方式によりセンス動作を行う読み出しテストモードを有することを特徴とする半導体記憶装置。

【請求項3】 互いに交差する複数のワード線および複数のビット線と、

前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、

前記各ビット線に対応して設けられ、選択されたメモリセルからビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプとを具備し、

前記センスアンプは、

前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするためのラッチ回路と、

前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、

20 前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるセンスタイミング決定用トランジスタと、前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタとを具備し、

読み出しテストに際して、予めラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に所定期間プリチャージした後、前記センスアンプデータ転送用トランジスタをオフ状態にしたままフローティング状態としたビット線からのセル電流による放電電流で決まるビット線電位を検知する読み出し方式によりセンス動作を行う読み出しテストモードを有することを特徴とする半導体記憶装置。

【請求項4】 互いに交差する複数のワード線および複数のビット線と、

前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、

40 前記各ビット線に対応して設けられ、選択されたメモリセルからビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプと、

前記各ビット線に対応して設けられ、対応するビット線をプリチャージするためのプリチャージ電源転送用トランジスタとを具備し、

前記センスアンプは、

前記ビット線電位センスノードと接地ノードとの間に接続されたビット線電位リセット用トランジスタと、

50 前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするた

3

めのラッチ回路と、

前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、

前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるセンスタイミング決定用トランジスタと、
10 前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタと、

前記プリチャージ電源転送用トランジスタに直列に接続され、前記ラッチ回路のラッチデータによって対応するビット線の充電経路をスイッチングするためのスイッチ回路とを具備し、

読み出しテストに際して、前記リセット用トランジスタによりビット線電位センスノードを所定期間リセットした後に前記センスアンプデータ転送用トランジスタをオフ状態にしたまま、予めデータをラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に所定期間プリチャージするように前記プリチャージ電源転送用トランジスタおよびスイッチ回路を制御した後、フローティング状態としたビット線からのセル電流による放電電流で決まるビット線電位を検知する読み出し方式によりセンス動作を行う読み出しテストモードを有することを特徴とする半導体記憶装置。

【請求項5】 互いに交差する複数のワード線および複数のビット線と、

前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、

前記各ビット線に対応して設けられ、選択されたメモリセルからビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプとを具備し、

前記センスアンプは、

前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするためのラッチ回路と、

前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、

前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御される第1のセンスタイミング決定用トランジスタと、

前記ラッチ回路の前記第2のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続

4

され、ゲートに所定期間印加される信号によりオン状態に制御される第2のセンスタイミング決定用トランジスタと、

前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタとを具備し、

読み出しテストに際して、予めラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に所定期間プリチャージした後、前記センスアンプデータ転送用トランジスタをオフ状態にしたままフローティング状態としたビット線からのセル電流による放電電流で決まるビット線電位を検知する読み出し方式によりセンス動作を行い、前記第2のセンスタイミング決定用トランジスタを用いてセンスする読み出しテストモードを有することを特徴とする半導体記憶装置。

【請求項6】 請求項1乃至5のいずれか1項に記載の半導体記憶装置において、

前記各ビット線に対応して設けられた複数のラッチ回路にチェッカーパターンデータをラッチさせ、前記複数のワード線の全てを非選択状態にし、隣接ビット線間の電流リークを検出する電流リークテストモードを具備することを特徴とする半導体記憶装置。

【請求項7】 請求項1乃至6のいずれか1項に記載の半導体記憶装置において、

前記複数のワード線のうちの所望のワード線を選択して所望の閾値テスト電圧を印加し、前記ラッチ回路のラッチデータに応じて読み出し指定されたビット線に接続されているメモリセルの閾値を測定するセル閾値測定モードを具備することを特徴とする半導体記憶装置。

【請求項8】 請求項2記載の半導体記憶装置において、

前記スイッチ回路は、前記電源と前記ビット線電位センスノードとの間で前記電流源用トランジスタに直列に挿入されていることを特徴とする半導体記憶装置。

【請求項9】 請求項2記載の半導体記憶装置において、

前記スイッチ回路は、前記ビット線電位センスノードと前記メモリセルとの間のビット線に挿入されていることを特徴とする半導体記憶装置。

【請求項10】 請求項2または4記載の半導体記憶装置において、

前記ラッチ回路は、通常読み出し時には、リセットされた後に前記ビット線電位センスノードに読み出されたデータに応じてリセット状態を保持するか、または強制反転され、読み出しテスト時には、リセットされことなく前記ビット線電位センスノードに読み出されたデータに応じてリセット状態を保持するか、または強制反転され、

前記スイッチ回路は、前記ラッチ回路がリセット状態の時にはオン状態に制御され、前記ラッチ回路が強制反転

5

状態の時にはオフ状態に制御されることを特徴とする半導体記憶装置。

【請求項11】 請求項10記載の半導体記憶装置において、

前記スイッチ回路は、PMOSトランジスタからなり、そのゲートは、前記ラッチ回路がリセットされた状態で“L”／強制反転された状態で“H”レベルになるノードに接続されていることを特徴とする半導体記憶装置。

【請求項12】 請求項10記載の半導体記憶装置において、

前記スイッチ回路は、NMOSトランジスタからなり、そのゲートは、前記ラッチ回路がリセットされた状態で“H”／強制反転された状態で“L”レベルになるノードに接続されていることを特徴とする半導体記憶装置。

【請求項13】 請求項1乃至12のいずれか1項に記載の半導体記憶装置において、

前記メモリセルは、閾値が第1の範囲および第2の範囲をとることにより情報を記憶するMOSトランジスタからなる不揮発性メモリセルであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特にラッチ型センスアンプを有する半導体メモリの読み出しテストモードに関するもので、例えばNAND型EEPROMなどの不揮発性半導体メモリに使用される。

【0002】

【従来の技術】EEPROMは、電源を切っても不揮発性セルのデータが消えない等の利点があり、近年大幅に需要が増大している。特に、1トランジスタでメモリセルが構成された一括消去可能なフラッシュメモリは、大容量の磁気ディスクの代替等の用途が期待されている。また、EEPROMの中で高集積化が可能なものとして、NANDセル型のEEPROMが知られている。

【0003】図1は、一括消去可能なNANDセル型EEPROMの全体構成を示す。

【0004】このEEPROMは、複数のNAND型メモリセルがマトリクス状に配設され、縦方向にビット線BLが多数本、横方向にワード線WLが多数本配列されているメモリセルアレイ11と、外部から入力されたアドレスに基づいて上記メモリセルアレイ11のワード線を選択駆動するロウデコーダ12と、上記メモリセルアレイ11のビット線に接続されているビット線制御回路（センスアンプ・データラッチ回路を含む）13と、このビット線制御回路13に接続されているカラムゲート15と、外部から入力されたアドレスに基づき上記カラムゲート15を制御し、対応するビット線およびセンスアンプ・データラッチ回路を選択するカラムデコーダ14と、前記カラムゲート15に接続されているI/Oバッファ18と、書き込み

6

動作や消去動作に必要な高電圧を供給するための昇圧回路16と、チップ外部とのインターフェースをとるための制御回路17とを具備している。

【0005】前記ロウデコーダ12は、データの書き込み時、消去時およびデータの読み出し時にそれぞれアドレス信号に基づいて前記複数のワード線WLを選択駆動するものであり、そのワード線ドライバには、所要の電圧が供給される。

【0006】また、前記ビット線制御回路13は、データの書き込み、消去、データの読み出しに際して、ビット線BLに対して所要の電圧をそれぞれ選択的に供給するビット線ドライバが設けられている。

【0007】図2（a）は、図1中のメモリセルアレイ11のNAND型メモリセルの一例を示している。

【0008】即ち、浮遊ゲートと制御ゲートを有するNチャネルのMOSFETからなる複数のセルトランジスタM1～M8が直列に接続され、一端側のドレインが選択トランジスタ用のNMOSトランジスタQ1を介してビット線BLに、他端側のソースが選択トランジスタ用のNMOSトランジスタQ2を介して共通ソース線CSに接続されている。

【0009】上記各トランジスタは同一のウェル基板W上に形成されており、メモリセルM1～M8の制御ゲートは行方向に連続的に配設されたワード線WL1～WL8に接続されており、選択トランジスタQ1のゲートは選択線SL1に、選択トランジスタQ2のゲートは選択線SL2に接続されている。

【0010】前記セルトランジスタM1～M8は、それぞれ保持するデータに応じた閾値を持っている。NAND型フラッシュメモリの場合は、通常、セルトランジスタがディプレッション型（Dタイプ）になっている状態を“1”データの保持状態（消去状態）、セルトランジスタがエンハンスメント型（Eタイプ）になっている状態を“0”データの保持状態（書き込み状態）と定義している。また、“1”データが保持されているセルトランジスタの閾値を正方向にシフトさせ、“0”データを保持するようにすることを「書き込み動作」と呼び、“0”データが保持されているセルトランジスタの閾値を負方向にシフトさせ“1”データを保持するようにすることを消去動作と呼ぶ。

【0011】図2（b）は、NANDセルのセルトランジスタの閾値電圧の分布の一例を示す。

【0012】次に、このようなNANDセルに対するデータの書き込み、消去、データの読み出しの動作の一例について説明する。

【0013】NANDセルに対するデータの書き込みは、例えばビット線BLから遠い方のセルトランジスタから順次行われる。セルトランジスタが例えばnチャネルの場合を説明すると、ビット線BLにはデータ“0”の書き込み（閾値をシフトさせる場合）／“1”の書き

7

込み（閾値をシフトさせない場合）に応じて例えば0 V / 中間電圧VM（書き込み電圧VPPと接地電位との間のほぼ中間の電圧）または電源電位Vccが印加される。

【0014】また、選択セルトランジスタの制御ゲートには、セルの閾値をシフトさせるために必要な電界を得ることが可能な昇圧された書き込み電圧VPPが印加され、この選択されたセルトランジスタよりビット線側にある非選択セルトランジスタの制御ゲートには、セルの閾値をシフトさせずにビット線BLの電圧を選択セルトランジスタに転送するために必要な中間電圧VM、選択線SL1には中間電圧VMまたは電源電位Vcc、選択線SL2には0 V、ウェルWには0 V、共通ソース線CSには0 Vが印加される。

【0015】この結果、選択トランジスタQ1からメモリセルM8までのすべてのトランジスタは導通し、ビット線BLの電圧は非選択セルトランジスタを転送されて選択セルトランジスタのドレインまで伝わる（この場合、セルトランジスタの閾値落ちは考慮しなくてよい。なぜなら、セルトランジスタの書き込み前に通常は消去が行われ、セルトランジスタの閾値落ちはない）。

【0016】従って、書き込みデータが“0”の時（ビット線BLに0 Vが印加された時）には、選択セルトランジスタは、浮遊ゲートとチャネルおよびドレインとの間に高電界が加わり、浮遊ゲートに電子がトンネル注入され、閾値が正方向に移動する。また、書き込みデータが“1”の時（ビット線BLにVMまたはVccが印加された時）には、選択セルトランジスタは、浮遊ゲートとチャネルおよびドレインとの間にVPPとVMまたはVccが昇圧された電圧との差分しか印加されないの、閾値の正方向のシフトは抑圧され、閾値は変化しない。このようにビット線BLを通じてセルの閾値をシフトさせないためにチャネルに供給されるある値の電圧（VMまたはVccが昇圧された電圧）を書き込み禁止電圧と呼ぶ。

【0017】NANDセルに対するデータの消去は、NANDセル内の全てのセルトランジスタに対して同時に行われる。即ち、ビット線BLは開放（オープン）状態にされ、全てのセルトランジスタの制御ゲートに0 Vが印加され、p型ウェルWおよびn型基板に対してセルデータを消去させるために必要な昇圧された消去電圧VE、選択線SL1、SL2には選択トランジスタQ1、Q2のゲートが破壊しないような電圧（例えばウェルWと同電位）、共通ソース線CSはウェルWと同電位（または開放状態）が印加される。これにより全てのセルトランジスタにおいて浮遊ゲートの電子がゲート絶縁膜を介してp型ウェルに放出され、閾値が負方向に移動する。

【0018】NANDセルに対するデータの読み出しは、選択セルトランジスタの制御ゲートに0 Vの基準電圧、それ以外のセルトランジスタの制御ゲートおよび選

8

択トランジスタのゲートには例えば電源電位Vcc、ウェルWに0 V、共通ソース線CSに0 Vが印加される。これにより、選択セルトランジスタに電流が流れるか否かが、図示しないセンスアンプにより検出されることにより行われる。

【0019】この場合、選択メモリセル以外のすべてのトランジスタ（非選択メモリセルを含む）がオンする。選択セルトランジスタに“0”が保持されている時にはこのメモリセルは非導通状態となりビット線の電位は変化がないが、“1”が保持されている時には導通状態となるのでビット線は放電され、ビット電位が低下する。

図3は、図1中のメモリセルアレイ11におけるビット線BLの一部（例えば5本分）に対応する回路を取り出して示している。

【0020】この回路において、MCはビット線BLに接続されたNAND型メモリセル、S/Aはビット線BLに接続されたセンスアンプ、Data Busは前記センスアンプS/Aに接続されたデータバスである。なお、Latch、CMout、Load、DCB、BLSHFは前記センスアンプS/Aに供給される制御信号あるいは制御電圧である。

【0021】ここで、図3の回路におけるデータを読み出す際の動作の概要を述べる。

【0022】まず、各ビット線BLを電源電位に充電し、かつ、特定のワード線WLi（ $i=1, 2, \dots, 8$ ）を選択し、この特定のワード線に接続されている複数のセルトランジスタM1～M8の各データに応じて各ビット線BLが放電されるか否かを各センスアンプS/Aによりセンス増幅する。

【0023】図19は、図3中のセンスアンプS/Aの1個分を取り出して従来例を示している。

【0024】図19に示したセンスアンプは、不揮発性メモリセルの情報の読み出し時にビット線を充電しながらセル電流で放電してセンスする方式であり、読み出し時にトランジスタM1による定電流が常に流れるので、セルに記憶されているデータパターンによっては接地電位の浮きが生じる。

【0025】特に、全てのセルが消去状態にある時には全てのビット線BLに大きなセル電流が流れ込む結果、NANDセルのソース側一端の拡散層などを用いた共通ソース線CSの抵抗成分の電圧降下によりソース側電位（例えば接地電位）が浮き易くなり、セル電流は減少する。さらに、この接地電位の浮きによるバックバイアス効果も加わり、セルの見かけ上の閾値が高くなる。

【0026】また、高速な書き込み／読み出しを行うためにページ書き込み方式（同一行線に接続されている複数のメモリセルのそれぞれに同時にページ単位で複数の列線から書き込みデータを書込む方式）やページ読み出し方式（同一行線に接続されている複数のメモリセルからそれぞれの記憶データを同時にページ単位で複数の列線に読み出してセンス増幅する方式）を採用したEEPROMにおいては、ページ書き込みを行う際の書き込みベリファ

イ動作に際して前記共通ソース線CSの電位の浮きが発生する。このような共通ソース線CSの電位の浮きが発生すると、複数のメモリセルの一部に書き込み速度の速いメモリセルが存在した場合に書き込み後のペリファイ動作時に複数のメモリセルの共通ソース線の電位が浮き上がり、書き込み不良が発生するという問題が発生する。

【0027】

【発明が解決しようとする課題】図20は、上記したような図19に示したセンスアンプS/Aの問題を改善するために、本願発明者等が先に提案した特願平9-27748号に係るセンスアンプS/Aの一例を示している。

【0028】このセンスアンプS/Aは、複数のメモリセルの一部に書き込み速度の速いメモリセルが存在した場合でも、書き込み後のペリファイ動作時に複数のメモリセルの共通ソース線の電位の浮き上がりを抑制でき、書き込み不良の発生を防止することが可能になる。

【0029】即ち、図20に示すセンスアンプは、例えば図1を参照して前述したように、複数個の不揮発性メモリセルがマトリクス状に配置されたメモリセルアレイ11からメモリセルの情報を検知する際に、電流源からビット線BLを充電する電流と選択セルに流れる放電電流の大小関係で決まるビット線電位センスノードの電位をセンスアンプS/Aにより検知する方式（セルの情報の読み出し時にビット線を充電しながらセル電流で放電してセンスするいわゆる電流垂れ流し方式）、複数のビット線BLに接続されている複数のメモリセルからそれぞれの記憶データを同時に読み出して検知する読み出し方式およびメモリセルに対する書き込み後のペリファイモードを有するNAND型EEPROMにおける各ビット線BLに対応して設けられている。

【0030】このセンスアンプは、図19に示したセンスアンプと比較して、ビット線充電のための電流源用のPMOSTランジスタM1とビット線電位センスノードN3との間にビット線負荷電流制御用のNMOSTランジスタM7を挿入した点が異なる。

【0031】即ち、図20に示すセンスアンプは、ビット線充電制御信号CMoutに基づいてビット線BLを所定期間に充電するための定電流源用のPチャネルトランジスタM1と、前記ビット線BLに直列に挿入され、ゲートに制御電圧BLSHFが与えられるビット線クランプ用のNチャネルトランジスタM5と、前記PチャネルトランジスタM1とNチャネルトランジスタM5との間のビット線電位センスノードN3に読み出されたメモリセルデータをラッチするラッチ回路LTと、前記ビット線電位センスノードN3の電荷をディスチャージ制御信号DCBに基づいて所定期間に放電するためのリセット回路用のNチャネルトランジスタM2と、前記ラッチ回路LTの相補的な一対のノードのうちの第1のラッチノードN1と接地ノードとの間に接続され、ゲートが前記ビット線

電位センスノードN3に接続されたビット線電位センス用のNMOSTランジスタM3と、前記ラッチ回路LTの第1のラッチノードN1と接地ノードとの間で前記NMOSTランジスタM3に直列に接続され、ゲートに所定期間印加される制御信号Latchによりオン状態に制御される（ラッチ回路の強制反転を制御する）センスタイミング決定用のNMOSTランジスタM4と、前記ビット線電位センスノードN3と前記ラッチ回路LTの相補的な一対のノードのうちの第2のラッチノードN2との間に挿入され、通常読み出し時およびペリファイ読み出し時は接地電位である制御信号Loadによりゲート駆動され、前記メモリセルの読み出し時にはオフ状態に制御され、前記メモリセルの書き込み時にはオン状態に制御されるセンスアンプリセット用およびセンスアンプデータ転送用のNMOSTランジスタM6と、前記ラッチ回路LTのデータによって前記ビット線電位センスノードN3に対する充電経路をスイッチ制御するスイッチ回路M7とを具備する。

【0032】前記スイッチ回路M7の一例は、前記定電流源用のPチャネルトランジスタM1と前記ビット線電位センスノードN3との間に挿入され、ゲートが前記ラッチ回路LTの第2のラッチノードN2（リセット状態で“L”／強制反転された状態で“H”レベルになるノード）に接続されたPチャネルトランジスタからなり、第2のラッチノードN2のデータによって導通状態あるいは遮断状態になる。即ち、前記ラッチ回路LTのリセット状態時にはオン状態に制御され、前記ラッチ回路LTの強制反転状態時にはオフ状態に制御される。

【0033】なお、前記定電流源用のPチャネルトランジスタM1は、前記リセット回路による放電期間の終了後に前記ビット線BLを充電するように制御される。また、ビット線BLの充電電位は電源電位Vccに限らない。

【0034】前記ラッチ回路LTは、第1のCMOSインバータ回路IV1および第2のCMOSインバータ回路IV2の互いの入力ノードと出力ノードが交差接続された（逆並列接続された）フリップフロップ回路（ラッチ回路）からなる。

【0035】この場合、第1のCMOSインバータ回路IV1の入力ノード（第1のラッチノードN1）は、強制反転制御用のNMOSTランジスタM4に接続されており、強制反転入力ノードである。また、第2のCMOSインバータ回路IV2の入力ノード（第2のラッチノードN2）は前記センスアンプリセット用のNMOSTランジスタM6に接続されるとともに前記データバスData Busが接続されており、リセットノードである。

【0036】次に、図20のセンスアンプの通常の読み出し時、消去時、書き込み時の動作を説明する。

【0037】EEPROMの通常の読み出し時には、図21に示すように、まず、トランジスタM2を所定期間

11

オンさせ、トランジスタM5をオンさせた状態でノードN3を放電させる。同時に、トランジスタM6を所定期間オンさせ、ラッチ回路LTをリセットし、ノードN2を“L”、ノードN1を“H”にする。このリセット後、電流源用トランジスタM1をオンさせることによりビット線BLを充電し、ビット線BLに定電流を流したまま、セルトランジスタの閾値状態によって生じるセル電流I_{cell}でビット線BLを放電させ、所定時間後にトランジスタM4を所定期間オンさせる。

【0038】この場合、ビット線BLにNANDセルから“1”データが読み出された時には、セル電流I_{cell}が流れるのでビット線電位が低下し、トランジスタM3はオフであり、ノードN1はセンスアンプのリセット状態の“H”のままとなる。

【0039】逆に、ビット線BLにNANDセルから“0”データが読み出された時には、セル電流I_{cell}は流れないのでビット線電位は“H”に保たれ、トランジスタM3がオンになり、ラッチ回路LTの記憶データを強制反転させ、ノードN1は“L”、ノードN2は“H”になる。従って、“0”データをセンスした直後にトランジスタM7がオフして充電が停止する。

【0040】EEPROMの消去時には、センスアンプは消去ペリファイ読み出し動作に使用される。この時、センスアンプは前記通常の読み出し時と同じ順序で動作し、セルが消去されていれば（“1”データの場合）、ノードN1は“H”、ノードN2は“L”となる。逆に、セルが消去できていなければ（“0”データの場合）、ノードN1は“L”、ノードN2は“H”となる。このデータをもとに、選択カラムに対応する全てのセンスアンプのノードN2が1つでも“H”となると消去不完全であるので、再度消去に入るための信号を出し再度消去する。

【0041】EEPROMの書き込み時には、書き込み／非書き込みのデータを入力することにより、データバスData Busからラッチ回路LTのノードN2にデータが入力される。もし、“0”データ入力（書き込みたい場合）であればノードN2には“L”、“1”データ入力（書き込みたくない場合）であればノードN2には“H”が入る。

【0042】トランジスタM6がオン状態に制御されると、上記ノードN2のデータがトランジスタM6を通じてビット線BLに転送される。書き込み時にはビット線BLに“L”データが印加された場合には書き込まれるが、“H”データが印加された場合には選択NANDセル内のチャネルは中間電位にブートされているので書き込みがされない。

【0043】この際、書き込みたくないセルの充電経路のトランジスタM7はラッチ回路LTのノードN2の“H”レベルによりオフし、ビット線BLには電流が流れない。これに対して、書き込みたいセルの充電経路の

12

トランジスタM7はラッチ回路のノードN2の“L”レベルによりオンし、ビット線BLには定電流が流れ込むことになる。

【0044】また、書き込みたくないセルを充電しないことによる影響は、ビット線電位センスノードN3が“L”になったままであり、センス入力用トランジスタM3はオフし、ラッチデータを壊さないので問題はない。

【0045】書き込みペリファイ読み出し時には、ラッチ回路LTのリセット動作を行わず、書き込みデータをセンスアンプに残したまま読み出しを行なう。この読み出し動作は、リセット動作がないこと以外は上記動作と同じである。

【0046】この際、書き込みたくないセルおよび書き込まれたセルに対応するラッチ回路LTのノードN2は“H”になり、書き込みが完了していないセルに対応するラッチ回路LTのノードN2は“L”となる。従って、ノードN2のデータをそのまま用いて再度書き込み動作を行なうことにより、書き込み未完了のセルのみを書き込むことができる。

【0047】また、この際、書き込みたくないセルおよび書き込まれたセルに対応するラッチ回路LTではノードN2の“H”レベルにより上記セルの充電経路のトランジスタM7はオフし、ビット線BLには電流が流れない。これに対して、書き込みが完了していないセルに対応するラッチ回路LTではノードN2の“L”レベルにより上記セルの充電経路のトランジスタM7はオンし、ビット線BLには定電流が流れ込むことになる。

【0048】つまり、未書き込み状態と判定されて追加書き込みの対象とされるセルに対応するビット線BLにのみ充電するので、余計な消費電流は抑えられ、かつ、同時に選択された複数のメモリセルのソース側一端が共通に接続されている共通ソース線CSの接地電位の浮きは最小限になる。

【0049】上記したように充電電流をラッチ回路LTのノードN2のデータに応じてスイッチさせることにより、書き込みペリファイ読み出し時に書き込みたくないセルおよび書き込み完了の2つに該当するセルのV_{cc}ノードとV_{ss}ノードとの間の貫通電流を遮断し、不必要な電流を流すことなくペリファイをすることができる。

【0050】この際、共通ソース線CSの接地電位の浮きを抑え、それに伴うバックバイアス効果によるセルトランジスタの閾値電圧の上昇、セル電流低下によるセルトランジスタの見かけ上の閾値変動を防止すると同時に、通常の読み出しに比べて接地電位の浮きの効果がない分だけセル電流の低下が抑えられるので、より厳しい書き込みペリファイ動作となる。特に、追加書き込みで書き込み終了のセルの貫通電流を遮断するので、追加書き込みになったセルの書き込みペリファイに対して効果が大きい。

【0051】ところで、半導体記憶装置の開発時における信頼性向上のためのテスト（書き込み／消去ストレス試験、読み出しストレス試験など）でデバイスの真の性能を測定する場合には、真性な不良の全くない良品を必要とした。

【0052】なぜならば、基本的に読み書き消去ができないいわゆる真性な不良セルと信頼性試験による不良セルとは、不良のメカニズムが根本的に相違し、信頼性試験においてはこれらの不良を分離する必要があるからである。

【0053】従って、もし、何らかの影響で歩留まりが低下すると、これらの不良ビットの影響が測定結果に混在し、信頼性試験による不良セルを正確に評価できなくなる。

【0054】また、前述した従来例の電流垂れ流し方式による読み出し方式を採用した半導体記憶装置においては、同時に選択される複数カラムのセルの各ソース線が共通に接続されている場合には、複数カラムのセルの貫通電流によって共通ソース線が浮き上がるので、あるカラムの選択された1個のセルの貫通電流によるソース線電位の浮きが当該セルの閾値電圧に及ぼす変動を他のカラムのセルの貫通電流によるソース線電位の浮きを除去した状態で測定することが不可能である。

【0055】さらに、従来の半導体記憶装置においては、各セルの閾値電圧の分布を測定する場合には、通常、閾値電圧の各測定点における“1”読み出し（“H”レベル出力）の累積ビット数をテスターで検知した後、隣り合う2つの閾値電圧測定点における累積ビット数の差分を演算処理する必要がある。もし、ある閾値電圧に対するビットマップを知りたい場合には、2つの累積ビットマップを取得してビットマップの差分を演算処理する必要があるが、この処理は簡単にできるものではない。

【0056】上記したように従来の半導体記憶装置は、開発時における信頼性向上のためのテストで信頼性上の不良ビットを知りたい場合に読み書き消去ができないような真性の不良ビットの影響が測定結果に混在し、信頼性上の不良と真性の不良とを分離できないという問題があった。

【0057】本発明は上記問題点を解決すべくなされたもので、開発時における信頼性向上のためのテストで信頼性上の不良ビットを知りたい場合に真性の不良ビットの影響を除外して評価できるようになり、この真性の不良ビットの影響をリダンダンシー置き換え前でも除去したテストが可能になり、また、選択された1個のセルの貫通電流によるソース線電位の浮きに起因する閾値電圧の変動量の測定を他のカラムのセルの貫通電流によるソース線電位の浮きが生じない状態で測定でき、さらに、隣接ビット線間の電流リーク、各セルの閾値電圧およびその分布も容易に測定し得る半導体記憶装置を提供

することを目的とする。

【0058】

【課題を解決するための手段】第1の発明の半導体記憶装置は、互いに交差する複数のワード線および複数のビット線と、前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、前記各ビット線に対応して設けられ、選択されたメモリセルから各ビット線のビット線電位センスノードに読み出されたセルデータを検知し、かつ、外部から転送されたデータをラッチするためのセンス・ラッチ回路とを具備し、読み出しテストに際して、前記センス・ラッチ回路でラッチしたデータに基づいて読み出したいカラムのビット線を選択的に充電してメモリセルのセルデータを読み出し、ビット線電位を検知する読み出しテストモードを有することを特徴とする。

【0059】第2の発明の半導体記憶装置は、互いに交差する複数のワード線および複数のビット線と、前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、前記各ビット線に対応して設けられ、選択されたメモリセルから各ビット線のビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプとを具備し、前記センスアンプは、前記対応するビット線のビット線電位センスノードと電源との間に接続された電流源用トランジスタと、前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするためのラッチ回路と、前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるセンスタイミング決定用トランジスタと、前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタと、前記ラッチ回路のラッチデータによって対応するビット線の充電経路をスイッチングするために挿入されたスイッチ回路とを具備し、読み出しテストに際して、前記センスアンプデータ転送用トランジスタをオフ状態にしたまま、予めラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に充電するように前記電流源用トランジスタおよびスイッチ回路を制御し、ビット線に充電電流を流した状態でビット線の充電電流とセル電流による放電電流の大小関係で決まるビット線電位を検知する読み出し方式によりセンス動作を行う読み出しテストモードを有することを特徴とする。

【0060】第3の発明の半導体記憶装置は、互いに交差する複数のワード線および複数のビット線と、前記ワ

15

ード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、前記各ビット線に対応して設けられ、選択されたメモリセルからビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプとを具備し、前記センスアンプは、前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするためのラッチ回路と、前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるセンスタイミング決定用トランジスタと、前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタとを具備し、読み出しテストに際して、予めラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に所定期間プリチャージした後、前記センスアンプデータ転送用トランジスタをオフ状態にしたままフローティング状態としたビット線からのセル電流による放電電流で決まるビット線電位を検知する読み出し方式によりセンス動作を行う読み出しテストモードを有することを特徴とする。

【0061】第4の発明の半導体記憶装置は、互いに交差する複数のワード線および複数のビット線と、前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、前記各ビット線に対応して設けられ、選択されたメモリセルからビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプと、前記各ビット線に対応して設けられ、対応するビット線をプリチャージするためのプリチャージ電源転送用トランジスタとを具備し、前記センスアンプは、前記ビット線電位センスノードと接地ノードとの間に接続されたビット線電位リセット用トランジスタと、前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするためのラッチ回路と、前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御されるセンスタイミング決定用トランジスタと、前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタと、前記プリチャー

16

ジ電源転送用トランジスタに直列に接続され、前記ラッチ回路のラッチデータによって対応するビット線の充電経路をスイッチングするためのスイッチ回路とを具備し、読み出しテストに際して、前記リセット用トランジスタによりビット線電位センスノードを所定期間リセットした後に前記センスアンプデータ転送用トランジスタをオフ状態にしたまま、予めデータをラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に所定期間プリチャージするように前記プリチャージ電源転送用トランジスタおよびスイッチ回路を制御した後、フローティング状態としたビット線からのセル電流による放電電流で決まるビット線電位を検知する読み出し方式によりセンス動作を行う読み出しテストモードを有することを特徴とする。

【0062】第5の発明の半導体記憶装置は、互いに交差する複数のワード線および複数のビット線と、前記ワード線とビット線の各交差部に対応してメモリセルが複数個マトリクス状に配置されてなるメモリセルアレイと、前記各ビット線に対応して設けられ、選択されたメモリセルからビット線電位センスノードに読み出されたセルデータを検知するためのセンスアンプとを具備し、前記センスアンプは、前記ビット線電位センスノードに読み出されたデータあるいはデータバスから与えられるデータをラッチするためのラッチ回路と、前記ラッチ回路の相補的な一対のノードのうちの第1のノードと接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードに接続されたビット線電位センス用トランジスタと、前記ラッチ回路の前記第1のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御される第1のセンスタイミング決定用トランジスタと、前記ラッチ回路の前記第2のノードと接地ノードとの間で前記ビット線電位センス用トランジスタに直列に接続され、ゲートに所定期間印加される信号によりオン状態に制御される第2のセンスタイミング決定用トランジスタと、前記ラッチ回路の第2のノードと対応するビット線電位センスノードとの間に接続されたセンスアンプデータ転送用トランジスタとを具備し、読み出しテストに際して、予めラッチ回路でラッチしたラッチデータに基づいて読み出したいカラムのビット線を選択的に所定期間プリチャージした後、前記センスアンプデータ転送用トランジスタをオフ状態にしたままフローティング状態としたビット線からのセル電流による放電電流で決まるビット線電位を検知する読み出し方式によりセンス動作を行い、前記第2のセンスタイミング決定用トランジスタを用いてセンスする読み出しテストモードを有することを特徴とする。

【0063】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

17

【0064】図4は、本発明の半導体記憶装置の第1の実施の形態に係るNAND型EEPROMに適用されるセンスアンプの一例を示している。

【0065】図4に示すセンスアンプは、例えば図1乃至図3を参照して前述したように、複数個の不揮発性メモリセルがマトリクス状に配置されたメモリセルアレイ11からメモリセルの情報を検知する際に、電流源からビット線BLを充電する電流と選択セルに流れる放電電流の大小関係で決まるビット線電位センスノードの電位をセンスアンプS/Aにより検知する、いわゆる電流垂れ流し方式の読み出し方式を有するNAND型EEPROMにおける各ビット線BLに対応して設けられている。

【0066】なお、このNAND型EEPROMは、従来の説明で述べたように複数のビット線BLに接続されている複数のメモリセルからそれぞれの記憶データを同時に読み出して検知するページ読み出し方式を有する場合を想定しているが、このことは本発明を限定するものではない。

【0067】図4のセンスアンプは、図20を参照して前述したセンスアンプと構成は同じである。

【0068】即ち、M1はビット線充電制御信号CMoutに基づいてビット線BLを所定期間に充電するための定電流源用のPチャネルトランジスタである。

【0069】M5は前記ビット線BLに直列に挿入され、ゲートに制御電圧BLSHFが与えられるビット線クランプ用のNチャネルトランジスタである。

【0070】LTは前記PチャネルトランジスタM1とNチャネルトランジスタM5との間のビット線電位センスノードN3に読み出されたメモリセルデータをラッチするラッチ回路である。

【0071】M2は前記ビット線電位センスノードN3の電荷をディスチャージ制御信号DCBに基づいて所定期間に放電するためのリセット回路用のNチャネルトランジスタである。

【0072】M3は前記ラッチ回路LTの相補的な一対のノードのうちの第1のラッチノードN1と接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードN3に接続されたビット線電位センス用のNMOSTランジスタである。

【0073】M4は前記ラッチ回路LTの第1のラッチノードN1と接地ノードとの間で前記NMOSTランジスタM3に直列に接続され、ゲートに所定期間印加される制御信号Latchによりオン状態に制御される（ラッチ回路の強制反転を制御する）センスタイミング決定用のNMOSTランジスタである。

【0074】M6は前記ビット線電位センスノードN3と前記ラッチ回路LTの相補的な一対のノードのうちの第2のラッチノードN2との間に挿入され、通常読み出し時およびペリファイ読み出し時は接地電位である制御

18

信号Loadによりゲート駆動され、前記メモリセルの読み出し時および前記ビット線電位センスノードN3のリセットを行う場合にはこの時もオフ状態に制御され、前記メモリセルの書き込み時にはオン状態に制御されるセンスアンプリセット用およびセンスアンプデータ転送用のNMOSTランジスタである。

【0075】M7は前記ラッチ回路LTのデータによって前記ビット線電位センスノードN3に対する充電経路をスイッチ制御するスイッチ回路であり、前記ラッチ回路LTのリセット状態にはオン状態に制御され、前記ラッチ回路LTの強制反転状態にはオフ状態に制御されるように構成されている。

【0076】このスイッチ回路M7の一例は、前記定電流用のPチャネルトランジスタM1と前記ビット線電位センスノードN3との間に挿入され、ゲートが前記ラッチ回路LTの第2のラッチノードN2（リセット状態で“L”／強制反転された状態で“H”レベルになるノード）に接続され、第2のラッチノードN2のデータによって導通状態あるいは遮断状態になるPチャネルトランジスタからなる。

【0077】なお、前記定電流源用のPチャネルトランジスタM1は、通常、前記リセット回路による放電期間の終了後に前記ビット線BLを充電するように制御される。また、ビット線BLの充電電位は電源電位Vccに限らない。

【0078】前記ラッチ回路LTは、第1のCMOSインバータ回路IV1および第2のCMOSインバータ回路IV2の互いの入力ノードと出力ノードが交差接続された（逆並列接続された）フリップフロップ回路（ラッチ回路）からなる。上記第1のCMOSインバータ回路IV1の入力ノード（第1のラッチノードN1）は、センスタイミング決定用のNMOSTランジスタM4に接続されており、強制反転入力ノードである。また、前記第2のCMOSインバータ回路IV2の入力ノード（第2のラッチノードN2）は前記センスアンプリセット用のNMOSTランジスタM6に接続されるとともに前記データバスData Busが接続されており、リセットノードである。

【0079】＜第1実施例＞第1実施例のNAND型EEPROMにおいては、

（1）通常の読み出し時には、図21を参照して前述した動作と同様にセンスアンプをリセットした後に読み出しを行う。

【0080】（2）信頼性試験等の読み出しに際して読み出しテストコマンドを受けて読み出しテストモードに入った後に読み出し動作を行う時（読み出しテスト時）におけるセンスアンプの制御方法および動作が、センスアンプの通常読み出し時におけるセンスアンプの制御方法および動作と比べて異なる。具体的には、NMOSTランジスタM6の制御方法および動作が異なり、その他

は同じである。

【0081】即ち、第1実施例においては、読み出しテスト時の読み出しに際して、センスアンプをリセットすることなく、センスアンプのラッチデータに応じてビット線の充電の有無を決めるように読み出し時のシーケンスを制御することにより、ビット線群のうちで読み出したいセルに接続されているビット線のみを充電する。

【0082】上記したセンスアンプのラッチデータは、通常の書き込みモードで使用されるシリアルデータ入力機能を利用して、所望のデータ（読み出したいカラム／読み出したいカラムに応じて異なるデータ）を予め書き込んでおくものとする。この場合、読み出したいカラムに対応するセンスアンプには、ノードN2が“L”レベル（トランジスタM7がオン）になるようにデータを入力し、読み出したいカラムに対応するセンスアンプには、ノードN2が“H”レベル（トランジスタM7がオフ）になるようにデータを入力しておく。

【0083】図5（a）、（b）は、図4のセンスアンプの読み出しテスト時に“H”データ、“L”データをラッチさせた後の読み出しシーケンスの一例を示すタイミング波形図である。

【0084】読み出しテスト時における動作は、図21を参照して前述した通常読み出し時の動作と比べて、トランジスタM6の動作が異なる。

【0085】即ち、前記したようにセンスアンプにデータをラッチさせた後に読み出し動作を開始する際、まず、トランジスタM2を所定期間オンさせ、同時にトランジスタM5をオンさせた状態でビット線センスノードN3を放電させるが、トランジスタM6はオンさせない（ラッチ回路LTをリセットしない）。

【0086】これにより、センスアンプのラッチデータに応じてビット線の充電の有無を決めることが可能になる。つまり、図5（b）に示すようにノードN2が“L”レベルになるようにデータが入力されたセンスアンプのみトランジスタM7がオン状態になるが、図5（a）に示すようにノードN2が“H”レベルになるようにデータが入力されたセンスアンプのトランジスタM7はオフ状態になる。

【0087】従って、この後、電流源用トランジスタM1をオンさせることにより、上記オン状態のトランジスタM7に接続されているビット線（ビット線群のうちで読み出したいセルに接続されているビット線のみ）を選択的に充電することが可能になる。

【0088】このように読み出したいセルに接続されているビット線BLのみをトランジスタM1による定電流で充電し、上記定電流を流したまま、セルトランジスタの閾値状態によって生じるセル電流I_{cell}でビット線BLを放電させ、所定時間後にトランジスタM4を所定期間オンさせると、読み出したいカラムに対応するセンスアンプでは、図5（b）に示すようにセルデータを読み

出すことが可能になる。

【0089】これに対して、読み出したいカラムに対応するセンスアンプでは、図5（a）に示すようにビット線センスノードN3が“L”レベルのままであり、ノードN1が“L”レベル、ノードN2が“H”レベルのままである。

【0090】従って、センスアンプに読み出したデータを、読み出しテストモードに入る前に書き込んだ入力データと比較することにより、読み出しテストを実施できることになる。

【0091】なお、この読み出しテスト時における動作では、トランジスタM2、M5を所定期間オンさせてビット線センスノードN3を放電させることを省略してもよい。即ち、ここでは電流垂れ流し方式のセンスアンプを用いているので、仮にビット線センスノードN3が“H”レベルであっても、定電流源からのビット線充電経路がトランジスタM7で遮断されていれば、このビット線を読み出したいカラムとすることができる。ただし、ビット線センスノードN3からビット線への放電の影響を排除する観点から、上述したようなビット線センスノードN3のリセットを行うことが望ましい。

【0092】第1実施例においては、予めダイソートテストなどで判明している真性の不良ビットが存在するカラムを読み出したいカラムとすることにより、真性の不良ビットの影響を除去した状態で読み出したデータを読み出しテストモードに入る前にラッチした入力データと比較することにより、真性の不良ビットを除去した状態で読み出しテストを実施できることになる。

【0093】また、予めダイソートテストなどで判明している真性の不良ビットが存在するカラムを読み出したいカラムとすることにより、あたかも上記真性の不良ビットが存在するカラムを冗長カラムに置換した後の完全良品のような状態でのテストも可能となる。

【0094】また、1カラムを測定対象とし、他のカラムを読み出したいカラムとする読み出しテストを実施すれば、選択されたカラムの1個のセルの貫通電流によるソース線電位の浮きが当該セルの閾値電圧に及ぼす変動の測定（他のカラムのセルの貫通電流によるソース線電位の浮きを除去した状態での測定）が可能になる。

即ち、第1実施例のNAND型EEPROMによれば、前記したような読み出しテスト機能を有するので、開発時における信頼性向上のためのテストでデバイスの真の性能を測定する場合に真性の不良ビットの影響を除外して正確に評価できるようになり、リダンダンシー（冗長救済）前のテストも可能になり、選択されたカラムの1個のセルの貫通電流によるソース線電位の浮きが当該セルの閾値電圧に及ぼす変動の測定が可能になる。

【0095】＜第2実施例＞第2実施例のNAND型EEPROMにおいては、図6に示すように、NANDセルの全てのセルの各ワード線にそれぞれ例えば0Vを与

10

20

30

40

50

21

えて非選択状態に設定する全非選択動作モードを有する点と、読み出しテスト時におけるセンスアンプの制御方法および動作が第1実施例に準じて行われる点が異なり、その他は同じである。

【0096】即ち、第2実施例においては、読み出しテストモードに入る前にセンスアンプにデータを書き込む際に、読み出したいカラムと読み出したいカラムとが交互に隣り合うように、セルアレイの行方向におけるセンスアンプ列に“1”データと“0”データとが交互に繰り返す（チェッカーパターン）データをラッチさせておく。

【0097】そして、図6に示すような全非選択動作モードの回路状態に設定して読み出しテストモードに入ると、充電されたビット線と充電されないビット線とが1本おきに存在するので、隣接ビット線間の電流リークがあれば、前記充電されたビット線の電位が低下することから、隣接ビット線間の電流リークの有無を容易に測定することが可能になる。

【0098】＜第3実施例＞第3実施例のNAND型EEPROMにおいては、図7に示すように、NANDセルのうちの所望の1個のセルのワード線に、任意のレベルの閾値テスト電圧VWLを例えばチップ外部から印加するとともに、前記NANDセルのうちの残りのセルの各ワード線にはセルをオン状態に設定するための電圧

（例えば4.5V）を印加する閾値テストモードを有する点と、読み出しテスト時におけるセンスアンプの制御方法および動作が第1実施例に準じて行われる点が異なり、その他は同じである。

【0099】即ち、第3実施例においては、セルの閾値電圧の分布を測定する場合に、まず、全てのカラムを読み出したい状態、具体的にはセンスアンプのノードN2が“L”、ノードN1が“H”になるように入力データを設定し、図7に示すような閾値テストモードの回路状態で任意の選択行のセルに対する閾値テスト電圧VWLをある測定点（正の電圧）に設定して読み出しテストモードに入り、“1”読み出し（“L”レベル出力）のビット数をテスターで検知すると、選択行において上記閾値テスト電圧VWLの測定点より低い閾値電圧を有するセルが接続されているカラムを検知することができる。この操作を全ての選択行について繰り返すことにより、上記閾値テスト電圧VWLの測定点より低い閾値電圧を有するセルのビットマップが得られる。

【0100】次に、任意の選択行のセルに対する閾値テスト電圧VWLをある測定点より1ステップ上位の測定点に設定して読み出しテストモードに入る。この際、既に入手しているビットマップデータを入力データに利用して既に測定した閾値テスト電圧より閾値電圧の低いセルが属するカラムを読み出したいカラムとした状態（除外した状態）で、目的のビット数をテスターで検知することが可能になる。この操作を全ての選択行につい

22

て繰り返すことにより、上記閾値テスト電圧VWLの測定点毎にそれより低い閾値電圧を有するセルのビットマップが得られる。

【0101】即ち、第3実施例においては、セルの閾値電圧の分布を測定する場合に、閾値電圧の測定点毎に“1”読み出しのビット数を検知するものとし、この際、過去に測定した測定点より低い閾値電圧のセルが属するカラムを読み出したいカラムとすることにより、新たに測定しようとする閾値電圧の測定点のセルのみを容易に測定することが可能になる。

【0102】従って、従来のように閾値電圧の各測定点における“1”読み出しの累積ビット数を検知した後に隣り合う2つの閾値電圧測定点における累積ビット数の差分を演算処理する必要がなくなり、演算処理のためにビットマップを記憶しておくためのメモリなどのハードウェアの規模や演算処理のためのソフトウェアの負担が小さくて済む。

【0103】さらに、第3実施例において、セルの閾値電圧の分布を測定する際、閾値テスト電圧VWLより高い閾値電圧を有するセルのビットマップを求め、且つ、測定点を順次1ステップ下位の測定点に設定して測定点毎にそれより高い閾値電圧を有するセルのビットマップを得る操作を繰り返してもよい。この場合、過去に測定した測定点より高い閾値電圧を有するセルに対応するセンスアンプのみビット線センスノードN3をセンスすることで既にノードN2が“H”、ノードN1が“L”に強制反転されているので、各測定点での測定の都度、新たに入力データを入力することなく、センスアンプのラッチデータをそのまま利用して既に測定した閾値テスト電圧より閾値電圧の高いセルが属するカラムを読み出したいカラムとした状態で、ビットマップを取得することが可能となる。

【0104】図8は、本発明の半導体記憶装置の第2の実施の形態に係るNAND型EEPROMに適用されるセンスアンプの一例を示している。

【0105】図8に示すセンスアンプは、複数個の不揮発性メモリセルがマトリクス状に配置されたメモリセルアレイからメモリセルの情報を検知する際に、電流源からビット線BLを充電した後にビット線BLの充電を停止した状態（ビット線BLをフローティングにした状態）でセル電流の放電により決まるビット線電位センスノードの電位をセンスアンプにより検知する、いわゆるフリーランニング方式の読み出し方式を有するNAND型EEPROMにおける各ビット線BLに対応して設けられている。

【0106】なお、このNAND型EEPROMは、従来の説明で述べたように複数のビット線BLに接続されている複数のメモリセルからそれぞれの記憶データを同時に読み出して検知するページ読み出し方式を有する場合を想定しているが、このことは本発明を限定するもの

23

ではない。

【0107】図8のセンスアンプにおいて、M5は前記ビット線BLとビット線電位センスノードN3との間に挿入され、ゲートに制御電圧BLSHF1が与えられるNチャネルトランジスタである。

【0108】LTは前記NチャネルトランジスタM5の一端側のビット線電位センスノードN3に読み出されたメモリセルデータをラッチするラッチ回路である。

【0109】M2は前記ビット線電位センスノードN3の電荷をリセット制御信号Resetに基づいて所定期間に放電するためのリセット回路用のNチャネルトランジスタである。

【0110】M3は前記ラッチ回路LTの相補的な一対のノードのうちの第1のラッチノードN1と接地ノードとの間に接続され、ゲートが前記ビット線電位センスノードN3に接続されたビット線電位センス用のNMOSトランジスタである。

【0111】M4は前記ラッチ回路LTの第1のラッチノードN1と接地ノードとの間で前記NMOSトランジスタM3に直列に接続され、ゲートに所定期間印加される制御信号Latch1によりオン状態に制御される（ラッチ回路の強制反転を制御する）第1のセンスタイミング決定用のNMOSトランジスタである。

【0112】M4は前記ラッチ回路LTの第2のラッチノードN2と接地ノードとの間で前記NMOSトランジスタM3に直列に接続され、ゲートに所定期間印加される制御信号Latch2によりオン状態に制御される（ラッチ回路の強制反転を制御する）第2のセンスタイミング決定用のNMOSトランジスタである。

【0113】M6は前記ビット線電位センスノードN3と前記ラッチ回路LTの相補的な一対のノードのうちの第2のラッチノードN2（データバスData Busが接続されている）との間に挿入され、制御信号Loadによりゲート駆動され、前記ビット線電位センスノードN3のリセット時および前記メモリセルの読み出し時にはオフ状態に制御され、前記メモリセルの書き込み時にはオン状態に制御されるセンスアンプリセット用およびセンスアンプデータ転送用のNMOSトランジスタである。

【0114】M1はプリチャージ電源Vpreとビット線BLとの間に接続され、プリチャージ制御信号BLSHF2に基づいてスイッチング制御され、ビット線BLを所定期間に充電するためのプリチャージ電源転送用のNチャネルトランジスタである。

【0115】図8に示したセンスアンプは、プリチャージ電源転送用のトランジスタM1による動作が図4に示したセンスアンプの動作と比べて異なる。

【0116】通常読み出し時には、まず、トランジスタM2およびM6を所定期間オンさせ、同時にトランジスタM5をオンさせ、ノードN3を放電させる。

【0117】次に、プリチャージ電源転送用のNチャネ

24

ルトランジスタM1を所定期間オンさせ、プリチャージ電源VpreからトランジスタM1を介してビット線BLをプリチャージするとともにトランジスタM5を介してセンスノードN3をプリチャージする。

【0118】上記プリチャージの終了後、ビット線BLがフローティング状態になり、この状態でセルトランジスタの閾値状態によって生じるセル電流Icellでビット線BLを放電させ、所定時間（読み出し時間）後にトランジスタM4を所定期間オンさせることにより、ビット線電位（セルデータに対応している）をセンスアンプにより読み出すことが可能になる。

【0119】この場合、セルトランジスタがエンハンスメント型（書き込み状態）であれば、センスノードN3は“H”レベルのままであり、ノードN1は“L”レベル、ノードN2は“H”レベルになる。これに対して、セルトランジスタがデプレッション型（非書き込み状態、消去状態）であれば、センスノードN3は“L”レベルに放電されるので、ノードN1は“H”レベルのままであり、ノードN2は“L”レベルのままである。

【0120】＜第4実施例＞図9（a）、（b）は、図8のセンスアンプの読み出しテスト時にノードN2に“H”データ、“L”データを入力してラッチさせた後の読み出しシーケンスの一例を示すタイミング波形図である。

【0121】読み出しテスト時には、読み出し動作の開始に先だて、通常の書き込みモードで使用されるシリアルデータ入力機能を利用して、データバスから所望のデータ（読み出したいカラム／読み出たくないカラムに応じて異なるデータ）を予め書き込んでおくものとする。

【0122】この場合、読み出したいカラムに対応するセンスアンプには、ノードN2が“H”レベルになるようにデータを入力し、読み出たくないカラムに対応するセンスアンプには、ノードN2が“L”レベルになるようにデータを入力することにより、ラッチさせておく。

【0123】これにより、読み出しテスト時の読み出しに際して、以下に述べるようなシーケンス制御を行い、センスアンプをリセットすることなく、センスアンプのラッチデータに応じてビット線のプリチャージの有無を決めることにより、ビット線群のうちで読み出したいセルに接続されているビット線のみをプリチャージすることが可能になる。

【0124】即ち、上記したようにセンスアンプにデータをラッチさせた状態で、トランジスタM6はオンさせない（センスアンプのラッチ回路LTをリセットしない）で、トランジスタM2を所定期間オンさせるとともにトランジスタM5をオンさせてノードN3を放電させる。この後、プリチャージ電源転送用のNチャネルトランジスタM1をオフさせ、トランジスタM5をオンさせ

10

20

30

40

50

25

たまま、トランジスタM6を所定期間オンさせる。

【0125】この場合、読み出したいカラムでは、対応するセンスアンプのノードN2は“H”レベルが書き込まれているので、この“H”レベルのノードN2からトランジスタM6を介してセンスノードN3がプリチャージされる。このセンスノードN3を十分にプリチャージした後に上記トランジスタM6をオフさせることにより、ビット線BLおよびセンスノードN3はフローティング状態になる。

【0126】なお、トランジスタM2、M5を所定期間オンさせてノードN3を放電するリセット動作は、第1実施例の場合と同様に省略可能である。

【0127】以後の読み出し動作は、前述した通常読み出し時のプリチャージ終了後の動作と同様に行うことが可能になる。即ち、読み出したいセルに接続されているビット線BLをセルトランジスタの閾値状態によって生じるセル電流 I_{cell} で放電させ、所定時間（読み出し時間）後にトランジスタM4'を所定期間オンさせると、読み出したカラムのビット線電位（セルデータに対応している）をセンスアンプにより読み出すことが可能になる。ただし、読み出しテスト時における動作では、読み出したカラムのセンスアンプにおいて、ノードN2が“H”レベルとなっていることから、トランジスタM4'を所定期間オンさせてノードN2に“H”レベルを保持させるか“L”レベルに強制反転させてセンスする。

【0128】これに対して、読み出したいカラムでは、対応するセンスアンプのノードN2は“L”レベルが書き込まれているので、ノードN2からセンスノードN3へのプリチャージはなく、ビット線電位は“L”であり、ノードN2は“L”レベルのままである。

【0129】従って、前記したように読み出したいカラム／読み出したいカラム（真性の不良ビットが存在するカラムなど）に対応してセンスアンプにデータを書き込んだ後に、センスアンプに読み出したデータを読み出しテストモードに入る前に書き込んだ入力データと比較することにより、読み出しテストを実施できることになる。

【0130】上記したようにフリーランニング方式のセンスアンプを用いた第4実施例においても、前述した第1実施例と同様の効果（真性の不良ビットの影響を除外して正確に評価できる点、リダンダンシー前のテストも可能になる点）が得られる。

【0131】また、前述した第2実施例において上記したフリーランニング方式のセンスアンプを用いて上記第4実施例と同様に制御した場合でも、前述した第2実施例と同様の効果（隣接ビット線間の電流リークの有無を容易に測定できる点）が得られる。

【0132】また、前述した第3実施例において上記したフリーランニング方式のセンスアンプを用いて上記第4実施例と同様に制御した場合でも、前述した第3実施

26

例と同様の効果（各セルの閾値電圧の分布を測定する場合に、演算処理のためのハードウェアの規模やソフトウェアの負担が小さくて済む点）が得られる。

【0133】＜第5実施例＞図10は、図8に示したセンスアンプの変形例を示す。

【0134】このセンスアンプは、図8に示したセンスアンプと比べて、プリチャージ電源転送用のNチャンネルトランジスタM1とプリチャージ電源 V_{pre} との間にスイッチ回路SWが挿入され、ラッチ回路LTの第2のラッチノードN2とビット線電位センス用のNMOSトランジスタM3との間の第2のセンスタイミング決定用のNMOSトランジスタM4'が除かれている点が異なり、その他は同じであるので同一符号を付している。

【0135】上記スイッチ回路SWは、ラッチ回路LTのデータによってスイッチング制御され、前記ビット線BLを所定期間に充電するためのものであり、前記ラッチ回路LTのリセット状態にはオン状態に制御され、前記ラッチ回路LTの強制反転状態にはオフ状態に制御されるように構成されている。

【0136】このスイッチ回路SWの一例は、PチャンネルトランジスタM7とNチャンネルトランジスタM8とが並列に接続されたCMOSトランスファゲートからなる。上記PチャンネルトランジスタM7は、ゲートが前記ラッチ回路LTの第2のラッチノードN2（リセット状態で“L”／強制反転された状態で“H”レベルになるノード）に接続され、第2のラッチノードN2のデータによってスイッチング制御される。また、前記NチャンネルトランジスタM8は、ゲートが前記ラッチ回路LTの第1のラッチノードN1（リセット状態で“H”／強制反転された状態で“L”レベルになるノード）に接続され、第1のラッチノードN1のデータによってスイッチング制御される。

【0137】図11(a)、(b)は、図10のセンスアンプの読み出しテスト時にノードN2に“H”データ、“L”データを入力してラッチさせた後の読み出しシーケンスの一例を示すタイミング波形図である。

【0138】即ち、センスアンプにデータをラッチさせた状態で、トランジスタM6はオンさせない（センスアンプのラッチ回路LTをリセットしない）で、トランジスタM2およびM5を所定期間オンさせてノードN3およびビット線を放電させる。この後、トランジスタM6をオフさせたまま、プリチャージ電源転送用のNチャンネルトランジスタM1をオンさせると、センスアンプのラッチデータに応じてスイッチ回路SWのオン／オフ状態を制御してビット線のプリチャージの有無を決めることが可能になり、ビット線群のうちで読み出したいセルに接続されているビット線のみをプリチャージすることが可能になる。

【0139】この場合、読み出したいカラムでは、対応するセンスアンプのノードN2に“L”レベルを書き込

27

んでおけば、ノードN2の“L”レベル/ノードN1の“H”レベルによりスイッチ回路SWがオン状態になり、トランジスタM1を介してセンスノードN3がプリチャージされる。このセンスノードN3を十分にプリチャージした後に上記トランジスタM1をオフさせることにより、ビット線BLおよびセンスノードN3はフローティング状態になる。

【0140】以後の読み出し動作は前述した通常読み出し時の動作と同様に行うことが可能になる。即ち、読み出したいセルに接続されているビット線BLをセルトランジスタの閾値状態によって生じるセル電流I_{cell}で放電させ、所定時間（読み出し時間）後にトランジスタM4を所定期間オンさせると、読み出したカラムのビット線電位（セルデータに対応している）をセンスアンプにより読み出すことが可能になる。

【0141】これに対して、読み出したいカラムでは、対応するセンスアンプのノードN2は“H”レベルが書き込まれているので、ノードN2の“H”レベル/ノードN1の“L”レベルによりスイッチ回路SWがオフ状態になり、センスノードN3はプリチャージされず、ビット線電位は“L”であり、ノードN2は“L”レベルのままである。

【0142】従って、前記したように読み出したいカラム/読み出したいカラム（真性の不良ビットが存在するカラムなど）に対応してセンスアンプにデータを書き込んだ後に、センスアンプに読み出したデータを読み出しテストモードに入る前に書き込んだ入力データと比較することにより、読み出しテストを実施できることになる。

【0143】＜第1実施例の変形例1＞図12は、図4に示したセンスアンプの変形例を示す。

【0144】このセンスアンプは、図4に示したセンスアンプと比べて、ラッチ回路LTのデータによってビット線電位センスノードN3に対する充電経路を遮断あるいは導通させるスイッチ回路が異なり、その他は同じであるので同一符号を付している。

【0145】即ち、スイッチ回路は、定電流用のPチャネルトランジスタM1と前記ビット線電位センスノードN3との間に挿入され、ゲートがラッチ回路LTの第1のラッチノードN1（リセット状態で“H”/強制反転された状態で“L”レベルになるノード）に接続されたNチャネルトランジスタM7からなる。

【0146】動作自体は前述した第1実施例と同じであり、ノードN2が“L”の時にビット線充電電流が流れ、ノードN2が“H”の時にビット線充電電流が遮断される。

【0147】＜第1実施例の変形例2＞図13は、図4に示したセンスアンプの他の変形例を示す。

【0148】このセンスアンプは、図4に示したセンスアンプと比べて、ラッチ回路LTのデータによってピッ

28

ット線電位センスノードN3に対する充電経路を遮断あるいは導通させるスイッチ回路に代えて、ラッチ回路LTのデータによってビット線電位センスノードN3とメモリセルとの間の充電経路を遮断あるいは導通させるスイッチ回路が使用されている点が異なり、その他は同じであるので同一符号を付している。

【0149】即ち、上記スイッチ回路は、ビット線電位センスノードN3とビット線クランプ用トランジスタM5との間に挿入され、ゲートがラッチ回路LTの第1のラッチノードN1に接続されたNチャネルトランジスタM7からなる。

【0150】＜第1実施例の変形例3＞図14は、図4に示したセンスアンプの変形例を示す。

【0151】このセンスアンプは、図4に示したセンスアンプと比べて、ラッチ回路LTのデータによってビット線電位センスノードN3とメモリセルとの間の充電経路を遮断あるいは導通させるスイッチ回路が異なり、その他は同じであるので同一符号を付している。

【0152】即ち、上記スイッチ回路は、ビット線電位センスノードN3とビット線クランプ用トランジスタM5との間に挿入され、ゲートがラッチ回路LTの第2のラッチノードN2に接続されたPチャネルトランジスタM7からなる。

【0153】動作自体は前述した第1実施例と同じであり、ノードN2が“L”の時にビット線充電電流が流れ、ノードN2が“H”の時にビット線充電電流が遮断される。

【0154】なお、本発明は、前記実施例のようなNAND型EEPROMに限らず、ページモードを有する他のEEPROM（NOR型EEPROM、DINOR型EEPROM、AND型EEPROMなど）にも適用可能である。

【0155】図15（A）、（B）は、NOR型EEPROMのメモリセルアレイMAの一部のメモリセルの相異なる例を示す。

【0156】図15（A）においては、ビット線BLとこれに直交するソース線VSとの間に、選択回路を持たないメモリセルとして、制御ゲート信号線CGにより制御される1つのセルトランジスタQが接続されている。

【0157】図15（B）は、ビット線BLとこれに直交するソース線VSとの間に、選択回路を持つメモリセルとして、選択信号線SLにより制御されるビット線側選択トランジスタSGおよび制御ゲート信号線CGにより制御される1つのセルトランジスタQが直列に接続されている。

【0158】図16（A）、（B）は、NOR型EEPROMの他の例に係るグラウンドアレイ型EEPROMのメモリセルアレイMAの一部のメモリセルを示す。

【0159】図16（A）においては、ビット線BLとこれに並行するソース線VSとの間に、制御ゲート信号

29

線CGにより制御される1つのセルトランジスタQが接続されており、ビット線BLおよびソース線VSはそれぞれ固定である。

【0160】図16(B)は、交互グラウンドアレイ型EEPROMのメモリセルを示しており、ビット線BLとこれに並行するソース線VSとの間に、制御ゲート信号線CGにより制御される1つのセルトランジスタQが接続されており、ビット線BLおよびソース線VSがそれぞれ切換え可能である。

【0161】図17は、DINOR型EEPROMのメモリセルアレイMAの一部のメモリセルを示す。

【0162】1つのサブビット線SBLと複数のソース線VSとの間に制御ゲート信号線CGにより制御される複数のセルトランジスタQが並列に接続されており、サブビット線SBLは選択信号線SLにより制御されるビット線側選択トランジスタSGを介してビット線BLに接続されている。

【0163】図18は、AND型EEPROMのメモリセルアレイMAの一部のメモリセルを示す。

【0164】ビット線BLとソース線VSとの間に、選択信号線SLにより制御されるビット線側選択トランジスタSGおよびそれぞれ制御ゲート信号線CGにより制御される互いに並列接続された複数のセルトランジスタQが直列に接続されている。

【0165】

【発明の効果】上述したように本発明によれば、開発時における信頼性向上のためのテストでデバイスの真の性能を測定する場合に真性の不良ビットの影響を除外して正確に評価でき、リダグダンシー前のテストも可能になり、また、選択された1個のセルの貫通電流によるソース線電位の浮きに起因する閾値電圧の変動量の測定を他のカラムのセルの貫通電流によるソース線電位の浮きが生じない状態で測定でき、さらに、隣接ビット線間の電流リーク、各セルの閾値電圧およびその分布も容易に測定し得る半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の第1の実施の形態に係るNANDセル型EEPROMの全体構成を示すブロック図。

【図2】図1中のメモリセルアレイのNANDセルの一例を示す回路図およびセルトランジスタの閾値電圧の分布状態の一例を示す図。

【図3】図1中のメモリセルアレイにおけるビット線の一部に対応する回路を取り出して示すブロック図。

【図4】図1のNAND型EEPROMに適用される本発明に係るセンスアンプの一例を示す回路図。

【図5】第1実施例に係る読み出しテストモードにおける図4のセンスアンプの読み出しシーケンスの一例を示すタイミング波形図。

【図6】第2実施例に係る隣接ビット線間電流リークテ

30

ストモードにおける全ワード線非選択動作モードを示す回路図。

【図7】第3実施例に係るセル閾値測定モードにおける特定ワード線に対する測定電圧印加動作モードを示す回路図。

【図8】本発明の半導体記憶装置の第2の実施の形態に係るNAND型EEPROMに適用されるセンスアンプの一例を示す回路図。

【図9】第4実施例に係る読み出しテストモードにおける図8のセンスアンプの読み出しシーケンスの一例を示すタイミング波形図。

【図10】図8に示したセンスアンプの変形例を示す回路図。

【図11】第5実施例に係る読み出しテストモードにおける図10のセンスアンプの読み出しシーケンスの一例を示すタイミング波形図。

【図12】図4に示したセンスアンプの変形例を示す回路図。

【図13】図4に示したセンスアンプの他の変形例を示す回路図。

【図14】図4に示したセンスアンプの別の変形例を示す回路図。

【図15】NOR型EEPROMのメモリセルアレイの一部のメモリセルの相異なる例を示す回路図。

【図16】NOR型EEPROMの他の例に係るグラウンドアレイ型EEPROMのメモリセルアレイの一部のメモリセルを示す回路図。

【図17】DINOR型EEPROMのメモリセルアレイの一部のメモリセルを示す回路図。

【図18】AND型EEPROMのメモリセルアレイの一部のメモリセルを示す回路図。

【図19】図3中のセンスアンプの1個分を取り出して従来例を示す回路図。

【図20】図3中のセンスアンプの1個分を取り出して示す回路図。

【図21】通常読み出し動作時における図21のセンスアンプの読み出しシーケンスの一例を示すタイミング波形図。

【符号の説明】

BL…ビット線、

N3…ビット線電位センスノード、

M1…ビット線充電電流源用（プリチャージ電源転送用）トランジスタ、

M2…リセット用トランジスタ、

M3…ビット線電位センス用トランジスタ、

M4、M4'…センスタイミング決定用トランジスタ、

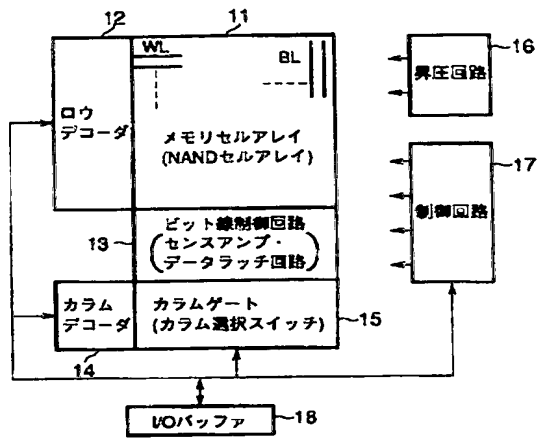
M5…ビット線クランプ用トランジスタ、

M6…センスアンプデータ転送用トランジスタ、

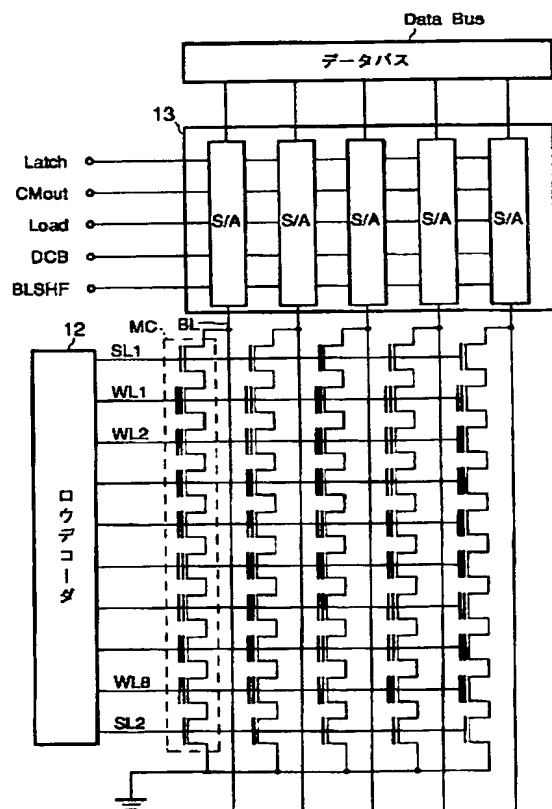
M7…スイッチ用トランジスタ、

LT…ラッチ回路。

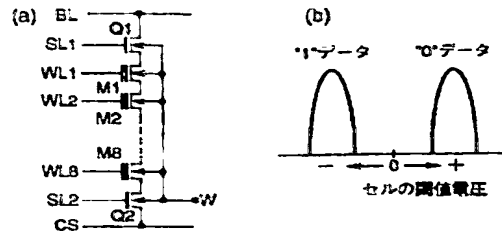
【図1】



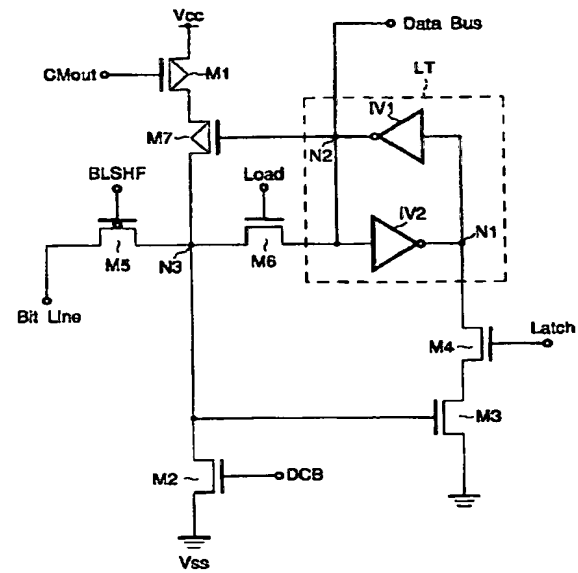
【図3】



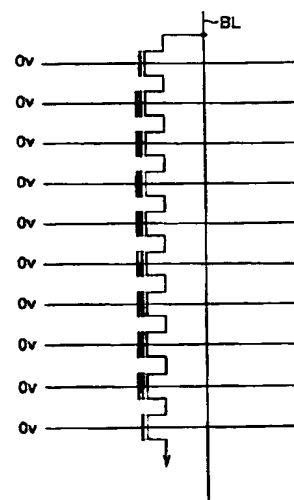
【図2】



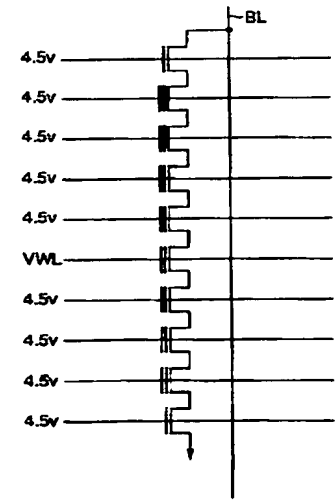
【図4】



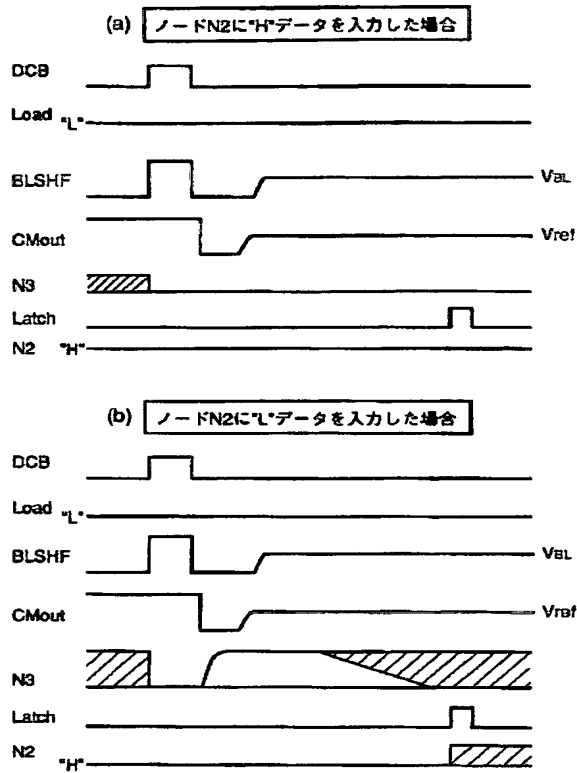
【図6】



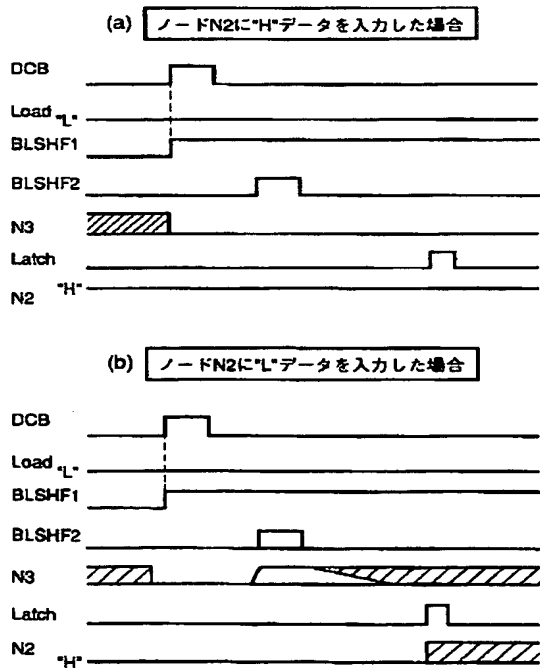
【図7】



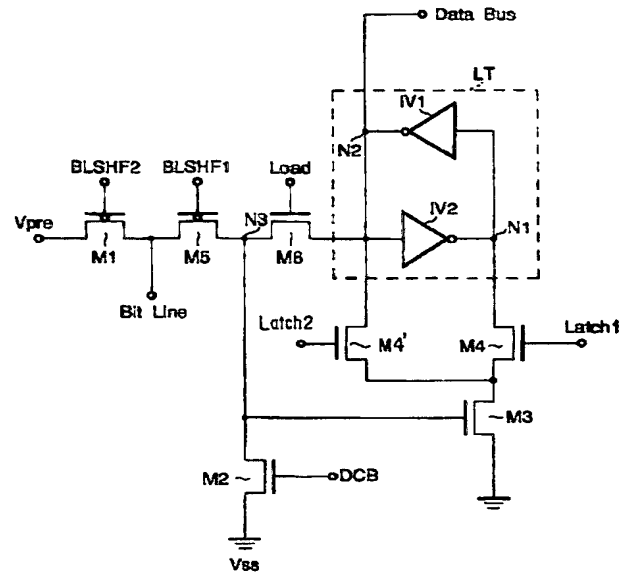
【図5】



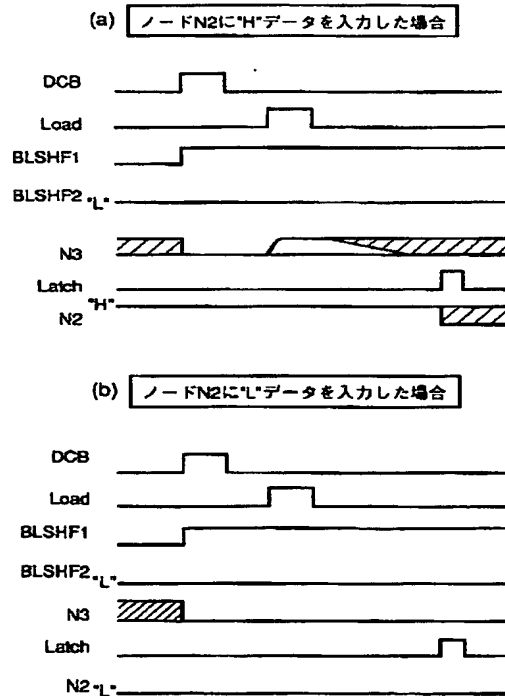
【図11】



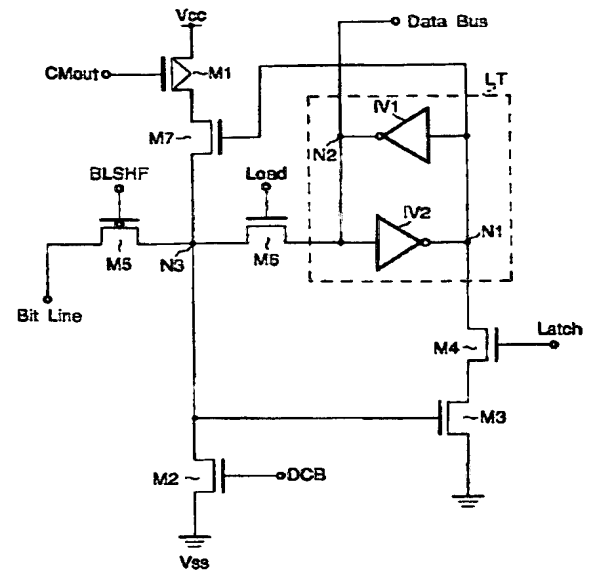
【図8】



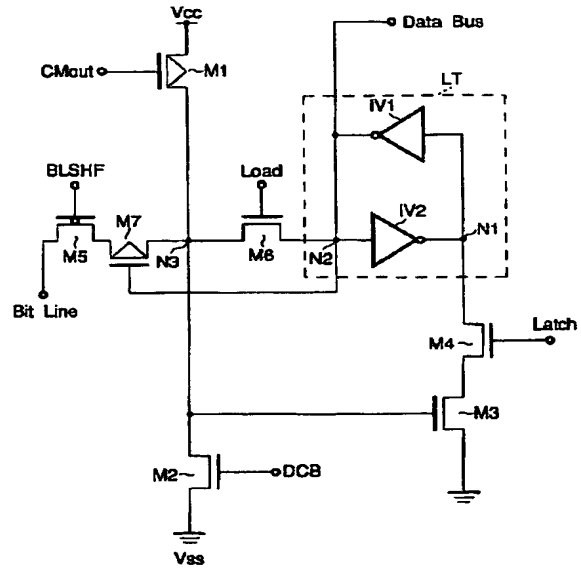
【図9】



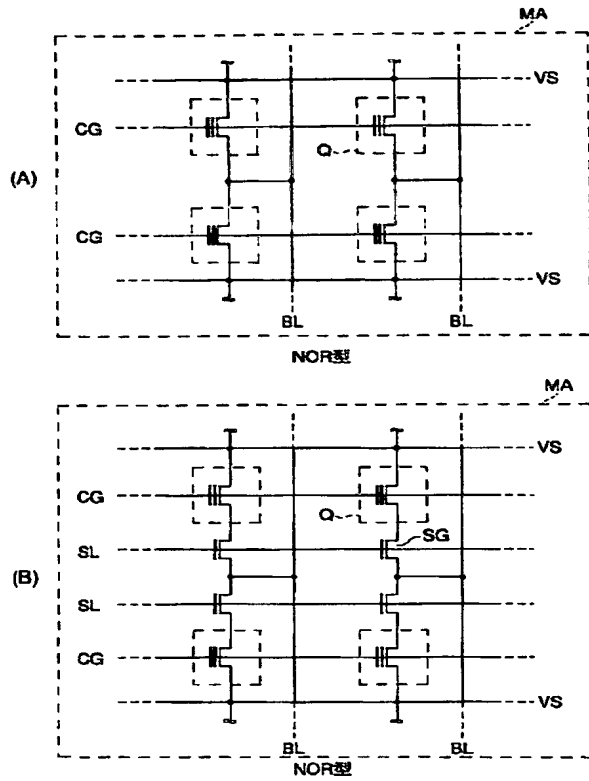
【图 12】



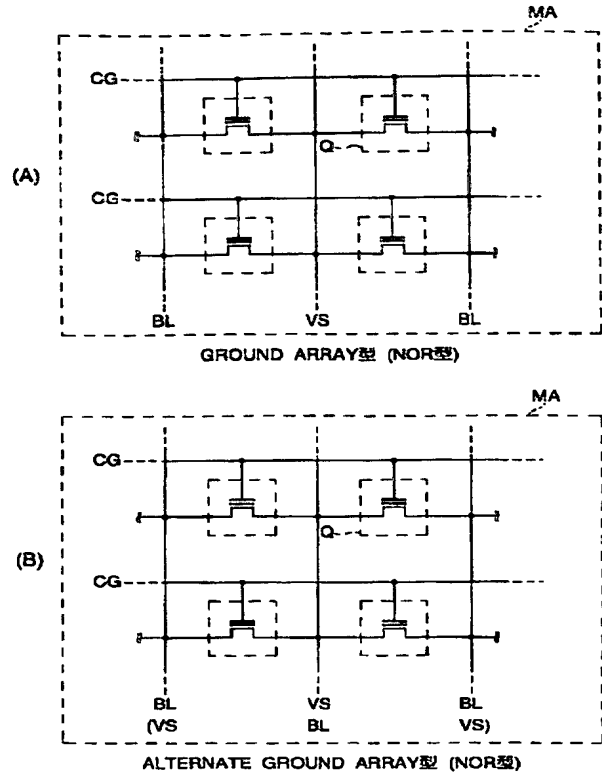
【図 14】



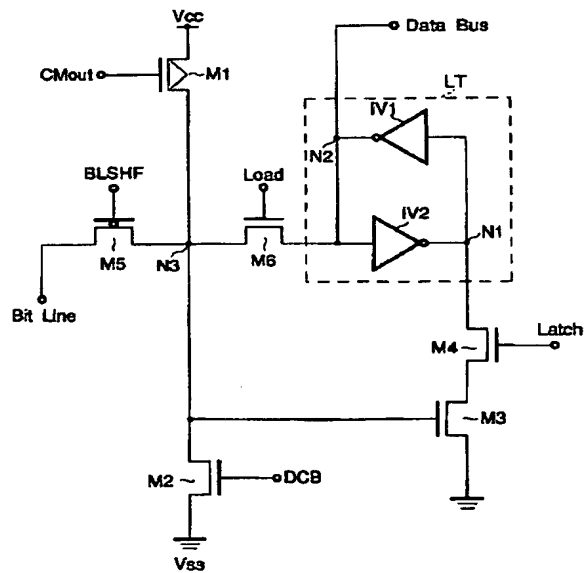
【図15】



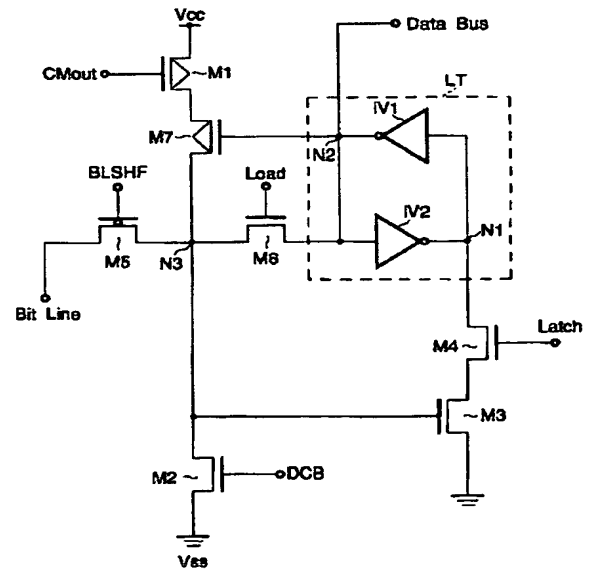
【図16】



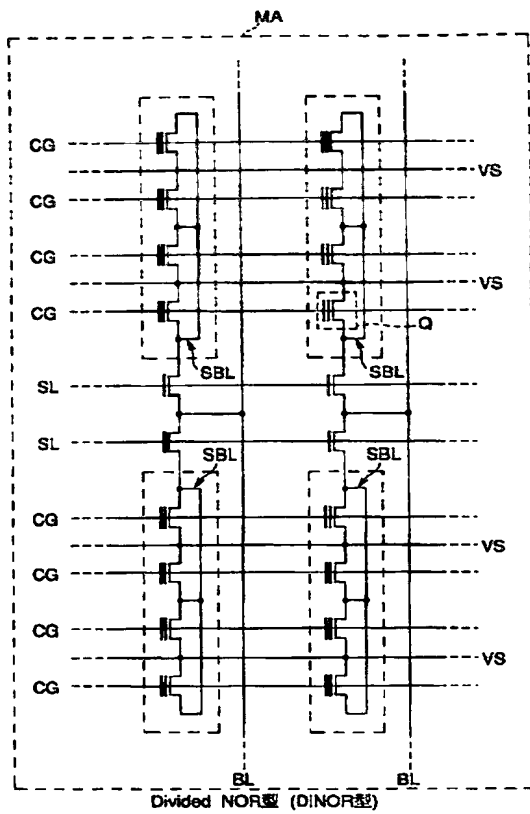
【図19】



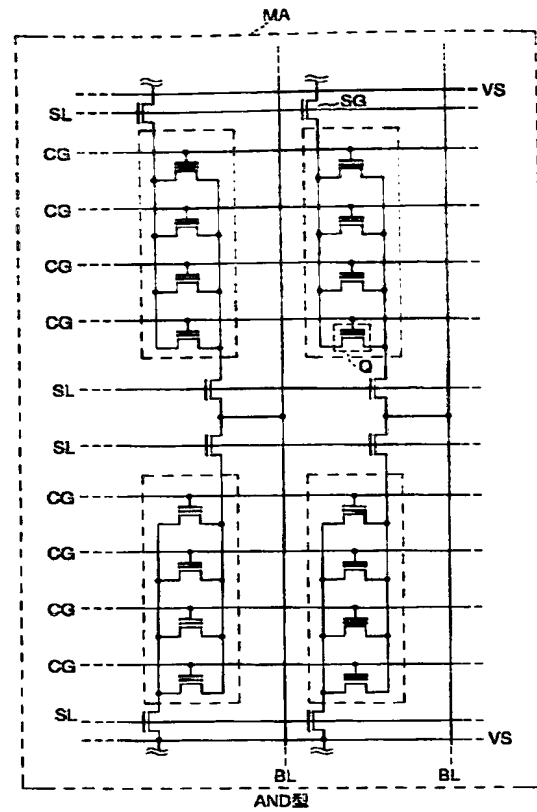
【図20】



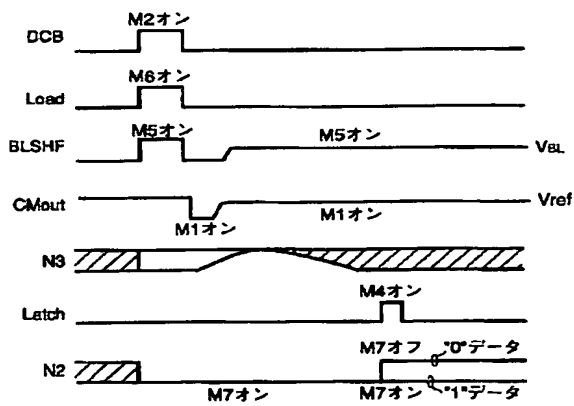
【図17】



【図18】



【図21】



フロントページの続き

(51) Int. Cl. 6
G11C 16/02

識別記号

FI
G11C 17/00

601T
613